

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-157138

(43)Date of publication of application : 20.06.1989

(51)Int.Cl. H04J 3/06

(21)Application number : 62-315821

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.12.1987

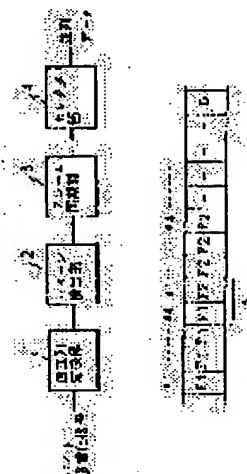
(72)Inventor : WATANABE TOSHIAKI  
IGUCHI KAZUO  
SOEJIMA TETSUO  
OTA SHINJI

## (54) FRAME SYNCHRONIZATION SYSTEM

### (57)Abstract:

**PURPOSE:** To compress the scale of a circuit for detection and to make information for an identification bit unnecessary by taking synchronization by performing pattern detection of two bytes at the boundary part of plural blocks where frame patterns are arranged in constant sequence, respectively.

**CONSTITUTION:** A serial-parallel conversion circuit 1 develops an input signal consisting of byte multiplexing data to parallel data. A pattern detecting part 2 performs the pattern detection of the frame pattern of the final channel of the block consisting of channels #1 #4 for the frame pattern 1 and the frame pattern of the leading channel of a following block consisting of the channels #1 #4 for the frame pattern 2 out of data developed in parallel, that is, 16 bits in a part A shown in figure, and when they are detected, a selection signal representing the final channel #4 of a preceding block is generated by a frame synchronization part 3. A selector part 4 takes the synchronization based on the selection signal, and separates the signal of each channel, respectively, and outputs it in parallel.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-157138

⑬ Int.Cl.<sup>4</sup>

H 04 J 3/06

識別記号

庁内整理番号

A-6914-5K

⑭ 公開 平成1年(1989)6月20日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 フレーム同期方式

⑯ 特 願 昭62-315821

⑰ 出 願 昭62(1987)12月14日

⑱ 発 明 者 渡 辺 利 明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑱ 発 明 者 井 口 一 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑱ 発 明 者 副 島 哲 男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑱ 発 明 者 太 田 真 治 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地  
⑲ 代 理 人 弁理士 玉蟲 久五郎 外1名

明 細 書

1. 発明の名称 フレーム同期方式

2. 特許請求の範囲

複数バイトからなるフレームパターンを複数チャンネルからなるブロックごとにバイト多重化して伝送するバイト多重化伝送方式のデータ受信部において、

入力信号を並列データに展開する直並列変換部(1)と、

該並列データから前のブロックにおける特定チャンネルのフレームパターンと後続のブロックにおける特定チャンネルのフレームパターンとを検出するパターン検出部(2)と、

該フレームパターン検出時該ブロックにおける特定チャンネルの位置を示す選択信号を発生するフレーム同期部(3)と、

該選択信号に基づいて前記並列データにおける各チャンネルの信号を所定の出力線に配列して出

力するセレクト部(4)と

を具備してなることを特徴とするフレーム同期方式。

3. 発明の詳細な説明

[ 概要 ]

デジタル伝送におけるフレーム同期方式に係り、特にバイト多重化伝送方式において好適なフレーム同期方式に関し、

多重化信号上に各チャンネルの多重化の順番を示す識別情報を必要とせず、またパターン検出用回路の規模を小さく実現できるフレーム同期方式を提供することを目的とし、

複数バイトからなるフレームパターンを複数チャンネルからなるブロックごとにバイト多重化して伝送するバイト多重化伝送方式のデータ受信部において、入力信号を並列データに展開する直並列変換部と、該並列データから前のブロックにおける特定チャンネルのフレームパターンと後続のブロックにおける特定チャンネルのフレームパターンとを検出するパターン検出部と、該フレーム

パターン検出時該ブロックにおける特定チャンネルの位置を示す選択信号を発生するフレーム同期部と、該選択信号に基づいて前記並列データにおける各チャンネルの信号を所定の信号線に配列して出力するセレクタ部とを具えて構成される。

#### 〔産業上の利用分野〕

本発明はデジタル伝送におけるフレーム同期方式に係り、特にバイト多重化方式において好適なフレーム同期方式に関するものである。

デジタル通信においては、通信効率を向上するために伝送路の速度を上げて、複数チャンネルのデータをバイトごと多重化して伝送するバイト多重化伝送方式が採用される。

第4図はバイト多重化伝送方式における、複数チャンネルの多重化と分離化とを説明するものである。同図においては、送信側において、複数チャンネル $\#1 \sim \#4$ におけるそれぞれ8ビット(1バイト)からなるフレームビットF1を多重化部11において多重化して、4倍速度のバイト多重化

データ12として伝送し、受信側において分離化部13を経てチャンネル $\#1 \sim \#4$ のフレームビットF1に分離することが示されている。

このようなバイト多重化伝送方式においては、受信部において多重化されたデータを分離化する際における、フレームパターンの検出および同期のための構成が、方式的にもハードウェア的にも簡単であつて、かつ効率的に実行できるものであることが要望される。

#### 〔従来の技術〕

第5図はフレームパターンがF1、F2の2バイトからなる場合の、伝送路上のフォーマットを示したものであつて、 $\#1 \sim \#4$ はチャンネル番号を示し、IDはチャンネル番号を識別するための識別ビット、Dはデータであつて、各バイトは8ビットからなるものとする。

このような伝送フォーマットをとる場合のフレーム同期方式としては、次の2つの方法が従来知られている。

#### (1) パターン検出を複数バイトおきに行う方法。

第6図において(a)はこの場合のフレーム同期方式を説明するものであつて、第5図に示されたフォーマットからチャンネル $\#1$ に対応する↑印のタイミングで4バイトおきに検出を行うことによつて、F1、F2のフレームパターンを検出する。これによつてフレーム同期を確立し、その後識別ビットIDによつてチャンネル番号を識別して多重化以前の順番に戻す。

#### (2) 全パターンを同時に検出する方法。

第6図において(b)はこの場合のフレーム同期方式を説明するものであつて、第5図に示されたフォーマットからチャンネル $\#1 \sim \#4$ のF1、F2のフレームパターンを全部同時に検出することによつて、フレーム同期とチャンネル番号の識別とを同時に行う。

#### 〔発明が解決しようとする問題点〕

第6図(a)に示された従来のフレーム同期方式では、例えばチャンネル $\#1$ のF1、F2の2バイト分

だけを検出すればよいので、フレーム同期用回路におけるパターン検出部の回路規模は比較的小さくて済む。しかしながら、その後識別ビットIDによつて多重の順番(チャンネル番号)を識別する必要がある、そのためのハードウェア量がかなり大きくなる。

第6図(b)に示された従来のフレーム同期方式では、多重化されている状態の全部のフレームパターンを検出するので、第6図(a)で示された方式の場合のように識別ビットIDの情報を必要とせず、伝送フォーマットが簡単になる。しかしながらこの場合はパターン検出の対象となるビット数が非常に多く、例えば第5図に示されたフォーマットの場合8ビット $\times$ 8(バイト) $=$ 64ビットの検出を行う必要がある。このため検出回路の回路規模が著しく大きくなる。

本発明はこのような従来技術の問題点を解決しようとするものであつて、多重化信号上に各チャンネルの多重化の順番を示す識別情報を必要とせず、またパターン検出用回路の規模を小さく実現

できるフレーム同期方式を提供することを目的としている。

#### 〔問題点を解決するための手段〕

第1図は本発明の原理的構成を示したものであつて、直並列変換部1、パターン検出部2、フレーム同期部3、セクタ部4とを具えて構成されることが示されている。

直並列変換部1は、バイト多重化データからなる入力信号を並列データに展開するものである。

パターン検出部2は、展開されて生じた並列データから前のブロックにおける特定チャンネルのフレームパターンと、後続のブロックにおける特定チャンネルのフレームパターンとを検出するものである。

フレーム同期部3は、パターン検出部2においてフレームパターンが検出されたとき、そのブロックにおける特定のチャンネルの位置を示す選択信号を発生するものである。

セクタ部4は、フレーム同期部3からの選択

本発明方式においてパターン検出を行うのは第2図のAの部分のように2バイト分なのでパターン検出回路の回路規模は小さくてよい。しかも同時に特定チャンネルの位置(第2図ではチャンネル#4の位置)を知ることができるので、チャンネル番号識別のために識別ビットIDの情報を用いる必要がない。

#### 〔実施例〕

第3図は本発明の一実施例であつて、第2図に示された伝送信号に対して本発明方式を適用した場合におけるパターン検出およびフレーム同期回路の構成を示したものである。

21は直並列(S/P)変換部であつてシフトレジスタとラッチ回路等からなり、直列信号からなるバイト多重化データを直並列変換して32ビットの並列データとして出力する。22はパターン検出部であつて、S/P変換部21の並列出力から、第2図においてAで示す境界部分におけるF1とF2の2バイト(16ビット)分のフレームパターンとの一致

信号に基づいて、直並列変換部1において生じた並列データにおける各チャンネルの信号を所定の出力線に配列して出力する制御を行うものである。

#### 〔作用〕

バイト多重化データからなる入力信号は並列データに展開されたのち、パターン検出を行われる。

第2図は本発明方式におけるフレームパターンの検出を説明するものである。第2図において並列に展開されたデータ中、フレームパターンF1についてのチャンネル#1~#4からなるブロックの最終チャンネルのフレームパターンと、フレームパターンF2についてのチャンネル#1~#4からなる後続のブロックの先頭チャンネルのフレームパターン、すなわち第2図においてAで示された16ビットについてパターン検出を行い、検出時、例えば前のブロックの最終チャンネル#4を示す選択(SEL)信号を発生する。これによつてフレーム同期をとつて各チャンネルの信号をそれぞれ分離して出力する。

を検出する。23はフレーム同期部であつて、パターン検出部22におけるフレームパターン検出によつて、フレーム検出位置のタイミングをとりカウンタを動作させることによつて、各種のタイミングパルスを作成する。この場合のタイミング検出には周知の前方および後方の保護をかけ、所定の保護段数が確保されたとき同期確立を示す情報としてSYNC(同期)端子にフラグを立てる。また同時に例えば最後のチャンネル#4を示すSEL信号を発生する。24はセクタ(SEL)部であつて、S/P変換部21において並列に展開された信号からSEL信号に応じて選択することによつて、各チャンネル#1~#4のデータをそれぞれ8ビットの並列信号として所定の出力線に出力する。

このように本実施例においては、複数バイトのフレームパターンをそれぞれチャンネル番号順に配列した複数のブロックにおける、前のブロックと後のブロックの境界部分すなわち第2図の例では最終チャンネル#4のF1パターンと先頭チャンネル#1のF1パターンからなる16ビットを検出す

ようにしているためパターン検出の回路規模を小さくできる。またこの位置を検出することによってP1(チャンネル#4)の位置を認識することができるので、第6図(a)に示された従来技術のようにチャンネル番号を識別するために識別ビットIDの情報をを用いる必要がなくなる。

なお本発明の方式はフレームパターンが2バイトからなる場合に限られるものでなく、3バイト以上であつてもよい。この場合は2個所以上の境界部におけるそれぞれのパターン検出によつてフレーム同期をとればよい。

#### 【発明の効果】

以上説明したように本発明によれば、複数バイトからなるフレームパターンを有する複数チャンネルのバイト多重化伝送方式のデータ受信部において、複数バイトのフレームパターンをそれぞれ一定の順序で配列した複数のブロックにおける境界部分の2バイト分のパターン検出を行つてフレーム同期をとるようにしたので、パターン検出用

回路の規模を小さくできるとともに、チャンネル番号を識別するための識別ビットの情報が不要になる。

#### 4. 図面の簡単な説明

第1図は本発明の原理的構成を示す図、

第2図は本発明方式におけるフレームパターンの検出を説明する図、

第3図は本発明の一実施例を示す図、

第4図はバイト多重化伝送方式を示す図、

第5図はフレームパターンが2バイトからなる場合の伝送路上のフォーマットを示す図、

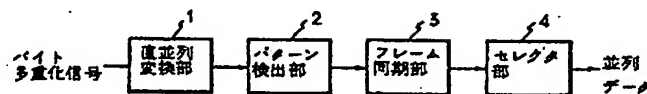
第6図は従来のフレームパターン検出方法を示す図である。

21…直並列(S/P)変換部

22…パターン検出部

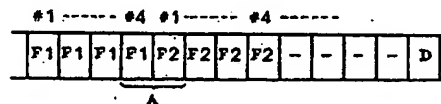
23…フレーム同期部

24…セレクタ(SEL)部



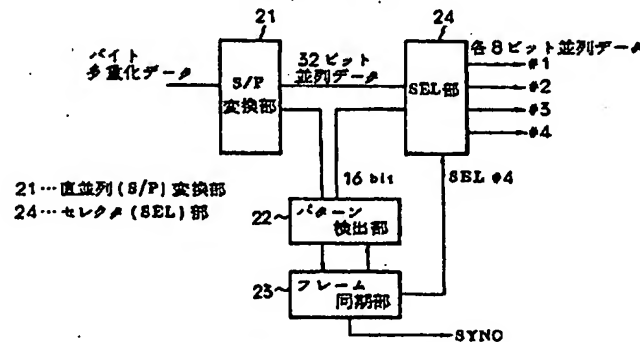
本発明の原理的構成を示す図

第1図



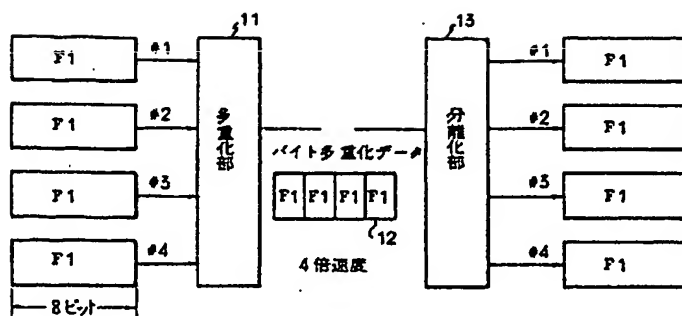
本発明方式におけるフレームパターンの検出を説明する図

第2図



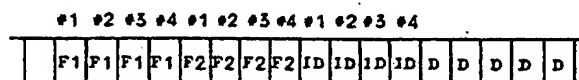
本発明の一実施例を示す図

第3図



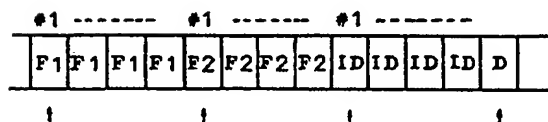
バイト多重化伝送方式を示す図

第 4 図

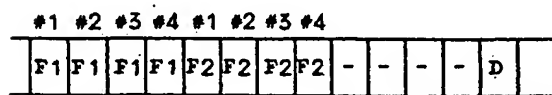


フレームパターンが2バイトの場合の  
伝送路上のフォーマットを示す図

第 5 図



(a)



8ビット×8(バイト)=64ビット

(b)

従来のフレームパターン検出方法を示す図

第 6 図